

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58184758 A**(43) Date of publication of application: **28.10.83**

(51) Int. Cl.

**H01L 27/12**  
**G09F 9/30**  
**// G02F 1/133**

(21) Application number: **57064890**(22) Date of filing: **19.04.82**(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **KODAIRA TOSHIMOTO**  
**MANO TOSHIHIKO**  
**OSHIMA HIROYUKI**

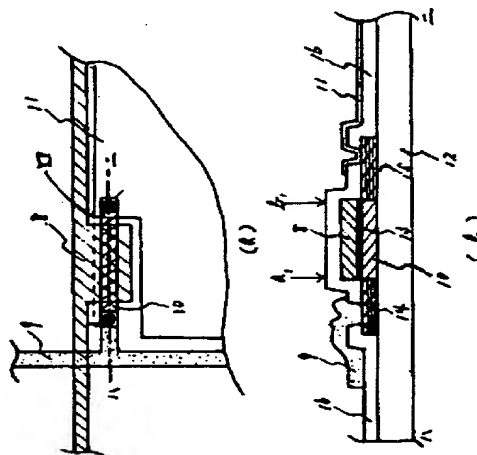
**(54) METHOD FOR CORRECTION OF DEFECT ON**  
**MATRIX ARRAY**

## (57) Abstract:

**PURPOSE:** To bring a defective picture element into a complete inconspicuous state when it is actually used by a method wherein the gate electrode located on an MOS type field-effect transistor is cut off from a gate line, and the source and the drain of said MOS type transistor are short-circuited.

**CONSTITUTION:** When a short-circuit occurs between the gate line 8 and a source line 9, the gate line 8 and the gate electrode of the transistor are isolated by a laser beam following the broken lines a@b as shown in the diagram. The gate electrode, a source electrode 14 and a drain electrode 15 are short-circuited at the position of arrows a<sub>1</sub> and b<sub>1</sub>. As a result, the average voltage of a data signal is added to the picture element driving electrode, thereby enabling to bring the defect into a complete inconspicuous state.

COPYRIGHT: (C)1983,JPO&amp;Japio



⑩ 特 許 公 報 (B 2)

平3-55985

⑩ Int. Cl.<sup>1</sup>

H 01 L 27/12  
G 02 F 1/133  
H 01 L 21/3205

識別記号

5 5 0 A

庁内整理番号

7514-5F  
7709-2H

⑩公告 平成3年(1991)8月27日

6810-5F H 01 L 21/88

発明の頁 1 (全5頁)

⑩発明の名称 マトリックスアレーの欠陥修正方法

⑩特 願 昭57-64890

⑩公 開 昭58-184758

⑩出 願 昭57(1982)4月19日

⑩昭58(1983)10月28日

⑩発 明 者 小 平 寿 源 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑩発 明 者 真 野 敏 彦 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑩発 明 者 大 島 弘 之 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑩出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑩代 理 人 弁理士 鈴木 喜三郎 外1名  
審 査 官 岡 和 久

C 変換

1

2

⑩特許請求の範囲

1 ガラス基板上に設けられ、マトリックス状に配列された複数の画素電極、該画素電極に接続されたスイッチング薄膜トランジスタ、該トランジスタのゲートに接続されてなる走査信号線、該トランジスタのソースに接続されてなるデータ信号線を有するマトリックスアレーの欠陥修正方法において、該スイッチング薄膜トランジスタに欠陥が生じた際には、該スイッチングトランジスタのゲート電極を該走査信号線より切り離し、該スイッチング薄膜トランジスタのソースとドレインをショートすることを特徴とするマトリックスアレーの欠陥修正方法。

発明の詳細な説明

本発明はマトリックスアレーに関し、その欠陥の修正方法に関するものである。

マトリックスアレーを用いた大面積表示装置の開発が最近非常に活発に進められており、小型情報機器、ハンディタイプのテレビ等、広範囲にわたる応用が期待されている。平面型の大容量の表示装置としては、スイッチング素子をマトリックスアレー状に配列したものが最も有望視されている。第1図はスイッチング素子をマトリックスアレー状に配列したアクティブマトリックスアレー

基板の構成の一例を示した配置図である。図中1で囲まれた領域が表示領域であり、その中にスイッチング素子2がマトリックス状に配置されている。3はスイッチング素子2へのデータ信号ライン(ソースライン)であり、4はスイッチング素子2へのタイミング信号ライン(ゲートライン)である。(第1図の様にマトリックスアレーを同一基板上に構成した場合に発生し易い欠陥は、ゲートラインと、ソースラインとのショートである。特にガラス基板上にマトリックスアレーを構成した場合、ガラスは絶縁物であるので、断線以外の欠陥は、ゲートラインとソースラインのショートしか有り得ない。MOS型電界効果トランジスタをスイッチング素子として用いた場合のマトリックスアレー液晶表示装置の一例を示したものであり、1画素の等価回路を示したものである。5はMOS型電界効果トランジスタでありデータ信号のスイッチングを行なう。6はコンデンサでありデータ信号の保持用として用いられる。7は液晶パネルであり、7-1は液晶駆動素子に対応して形成された液晶駆動電極であり、7-2は上面ガラスパネルである。第3図は第2図の具体例を示した平面図であつて各部材の番号は第2図と同じである。第3図からわかる様にソー

3

4

スライン3とゲートライン4の間のショートは、  
両ライン間に介在する絶縁膜の不良と、5の電界  
効果トランジスタのゲート絶縁膜の不良による  
ものが主な原因である。ゲートラインとソースラ  
インがショートしたままで表示を行なった場合、  
当該ラインに接続された画素がすべて不良表示を  
してしまい、いわゆるライン欠陥として、実際の  
使用には使えるものでない。さらにこの様なショ  
ート欠陥の発生箇所は、ゲートライン4とソース  
ライン3の交差している面積に比べ、トランジス  
ター5の面積が大きく、又両ライン間の層間絶縁  
膜の膜厚をトランジスタのゲート絶縁膜より厚  
くする等、トランジスタ部の欠陥がほとんどで  
あつた。この為従来は、ゲートラインとソースラ  
インのショートを修正する為に例えば第3図中の  
イで示される位置でトランジスタのソース電極  
とソースラインを切断した。この修正によつて、  
ソースラインとゲートライン間のショートは無く  
なるが、当該画素へのデータ信号が入らなくなる  
為にその画素は常に非点燈である為に、欠陥が非  
常に目立ち、表示装置の使用上大きな支障になつ  
ていた。

本発明は以上の欠点に鑑てなされたものであり  
ソースラインとゲートライン間のショートを修正  
するとともに、欠陥画素を実際の使用上全く目立  
たなくしたものであり、パネルの生産効率を大巾  
に高めるものである。

以下本発明を図面により詳細に説明する。

第4図はMOS型電界効果トランジスタをス  
イッチング素子として用いたマトリックスアレー  
の代表例を示したものでありその一画素について  
の平面図と断面図であり、これにより本発明の説  
明を行なう。尚第4図bは平面図aの中の一点鎖  
線ハニに從つて切断した断面図である。ガラス  
基板12の表面へ半導体薄膜10を形成して  
MOS電界効果トランジスタを構成する。13  
はトランジスタのゲート絶縁膜、14はソース  
電極でソースライン9と接続されており、15は  
ドレイン電極であり画素駆動電極11と接続され  
ている。又8はゲートラインであるとともに半導  
体薄膜10の上に延在しトランジスタのゲート  
電極となつている。このトランジスタに不良が  
生じ、ゲートライン8とソースライン9間がショ  
ートした場合まず第4図aの中の破線イーロに從

つて、ゲートラインとトランジスタのゲート電  
極を分離する。ゲートライン8の枚数は通常、多  
結晶シリコン等の半導体か又はアルミニウム等  
の金属が用いられるのでこれらの薄膜の切断は例  
えばレーザー光線を照射する事により容易に行な  
えるので第4図aの中の破線イーロに於てレー  
ザー光線をゲート部材8に照射すればゲートライ  
ンとトランジスタのゲート電極の分離が出來  
る。次に第4図bの中の矢印a、bの位置でゲ  
ート電極とソース電極14及びドレイン電極をショ  
ートさせる。このショートの方法は例えばレーザ  
ー光線を基板の上方向より図中a、bで示された  
矢印に從つてショートさせる箇所に照射するとゲ  
ート電極とドレイン又はソース電極及びゲート絶  
縁膜が溶融し合いゲート電極とドレイン及びソー  
ス電極が接続される。上記の様に同じレーザー光  
線を用い一方で切断を行ない、他方溶融をする事  
は、レーザー光線の出力、照射時間を変える事に  
より可能である。尚MOS型電界効果トランジス  
ターのゲート電極のショートは、マトリックスア  
レーのスイッチング素子として用いられる場合、  
外的要因(例えば静電気)でショートする場合、  
ゲート電極とソース電極間のショートがほとんど  
であつてこの様な場合の修正方法はトランジスタ  
のゲート電極をゲートラインから分離した後、  
ゲート電極とドレイン電極の接続だけで良い。

第5図は本発明の他の実施例を示す断面図で  
り各部材の番号は第4図と同じである。第4図の  
実施例においてゲート電極8及び半導体薄膜10  
がシリコンの様な高融点金属の場合、レーザーで  
溶融する時のレーザー光線の出力、照射時間の条  
件に大きな制限が生じる。これを回避したものが  
第5図の例であり、第4図の場合と異なりアル  
ミニウム等の低融点金属を図中の17の様にゲ  
ート電極の1へ絶縁膜16を介して設けてある。こ  
の修正方法は、ゲート電極の切り離しは第4図の場  
合と全く同一に行なう。トランジスタのソースと  
ドレイン間のショートは第5図の矢印a、bで  
示した位置にやはりレーザー光線を照射しこの位  
置の絶縁膜16を破壊するとともにアルミニウム  
17を溶融し、アルミニウム17とソース電  
極14及びドレイン電極15とを接続し、ソース  
ドレイン間をショートさせる。この場合の様に  
アルミニウム17を介してソース・ドレインを

5

は接続せず、図中の矢印a、bで示された部分にのみアルミニウムを形成し、レーザーを照射して、このアルミニウムによりソース・ゲート間及びゲート・ドレイン間をショートさせる事によりゲート電極を介してソース・ドレイン間をショートする事も可能である。

第6図はさらに他の本発明の実施例を示したものであり、aは平面図、bはaの中の一点鎖線ホーへに附した断面図である。この実施例では両素駆動電極11からトランジスターのソース電極14にかけて導電材料18が形成されている。

導電材料18はアルミニウム等の低融点物質が最も良く、又ソースライン9と同一工程で形成可能である。この導電材料18は両素駆動電極11とは直接接しているがトランジスターのソース電極とは絶縁膜16により絶縁されている。欠陥の修正方法は、トランジスターのゲート電極とゲートラインの切り離しは第4図の場合と同様に行なう。次に第6図bの矢印で示されている方向にレーザー光線を照射して、この部分の絶縁膜16を破壊し、導電材料18とソース電極14とを接続する。これによりトランジスターのソース電極とドレイン電極は、導電材料18と両素駆動電極11を介してショートする。さらに他の実施例として両素駆動電極11をソースライン9まで延在せしめるか又は、ソースライン9を両素駆動電極11まで延在せしめて、あらかじめトランジスターのソースとドレインを短絡しておいて、ゲートラインとソースラインとが短絡している個所のトランジスターについてはゲート電極とゲートラインを第4図の場合と同様に切り離し、ゲートラインとソースラインが短絡していないトランジスターについてはソースラインと両素駆動電極の短絡箇所を切断するという方法もある。

以上本発明の実施例のいくつかについて図面により詳細に述べたが、本発明の主旨はゲートとソースがショートしたMOS電界効果トランジスターは、ゲート電極とゲートラインを切り離し、ソースとドレインを短絡する事でありこれにより、

6

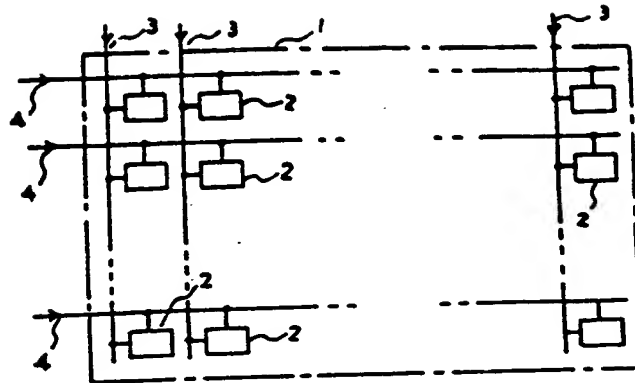
従来両素欠陥としてバネリ表示時に両素欠陥として欠陥の存在が目立つたものを、欠陥両素内のトランジスターのソースとドレインをショートする事によりデータ信号の平均的な電圧が両素駆動電極に加わり、欠陥の存在が全く目立たなくしたものである、その応用において、マトリックスアレーの駆動効率を大巾に向上するものである。尚本発明の実施例は液晶表示装置について述べてあるが表示装置の表示方法は液晶に限るものでなく、他のいかなる表示体であつてもその効果は変わらない、又、マトリックスアレーの構成材料は前出のもののみならず他の物質であつても本発明の主旨を逸脱しないものであればどの様なものであつても良い。

上述の如く本発明は、ガラス基板上に設けられ、マトリックス状に配列された複数の両素電極、該両素電極に接続されたスイッチング薄膜トランジスタ、該トランジスタのゲートに接続されてなる走査信号線、該トランジスタのソースに接続されてなるデータ信号線を有するマトリックスアレーの欠陥修正方法において、該スイッチング薄膜トランジスタに欠陥が生じた際には、該スイッチングトランジスタのゲート電極を該走査信号線より切り離し、該スイッチング薄膜トランジスタのソースとドレインをショートするようにしたから、従来生じていた線欠陥を点欠陥にとどめることができるので、駆動での歩留りを実質的に向上することができる。

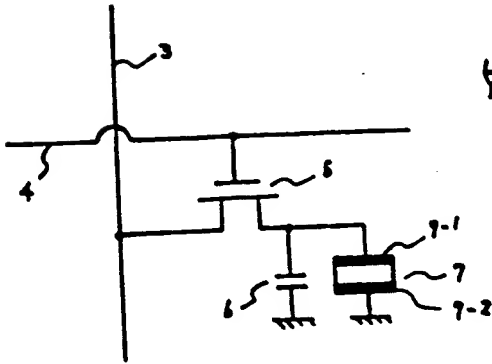
#### 図面の簡単な説明

第1図はマトリックスアレーの説明図であり、第2図、第3図はスイッチング素子としてMOS型電界効果トランジスターを用いたマトリックスアレーの両素の構成を示す等価回路図である。第4図は本発明の一実施例を示す平面図及び断面図であり、第5図は本発明の他の実施例を示す他の実施例を示した断面図であり、又第6図は本発明のさらに他の実施例を示す平面図及び断面図である。

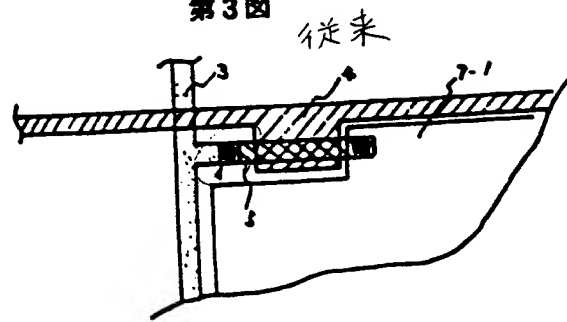
第1図



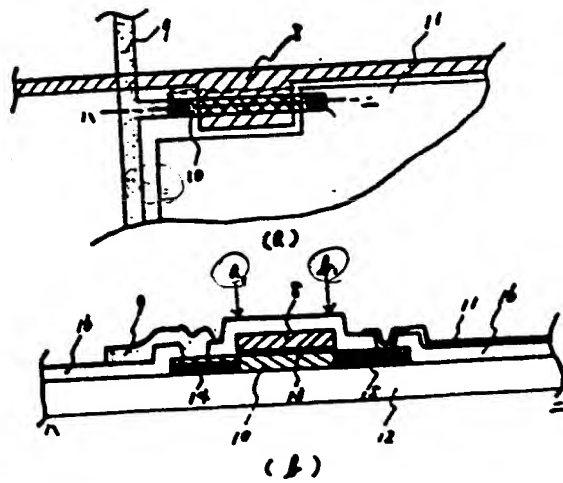
第2図



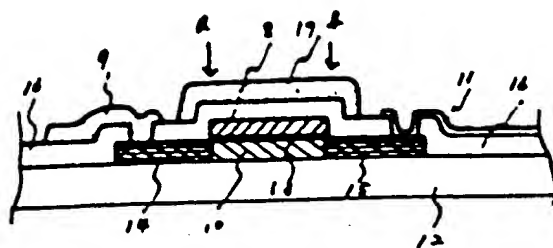
第3図



第4図



第5图



第6图

